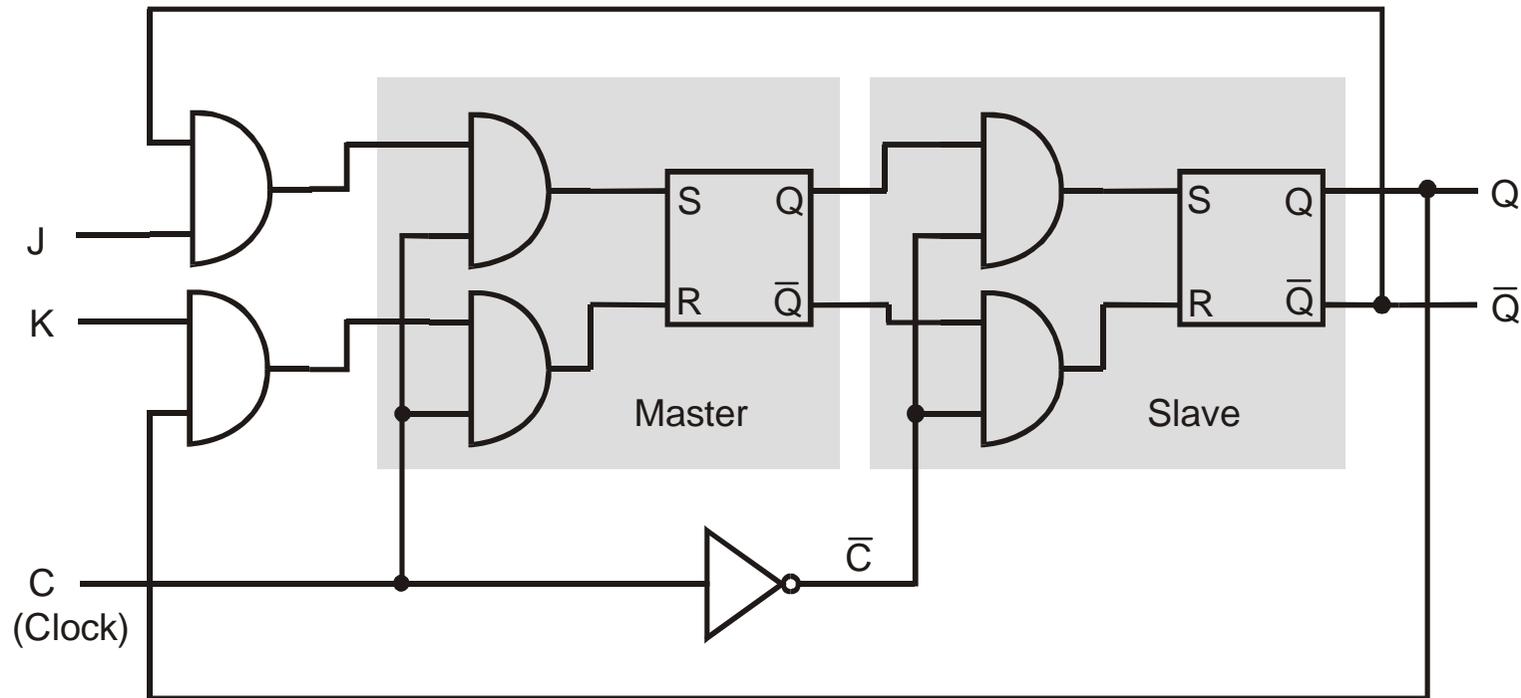


Sequentielle Schaltungen (10a)

Schaltung des JK-FF:

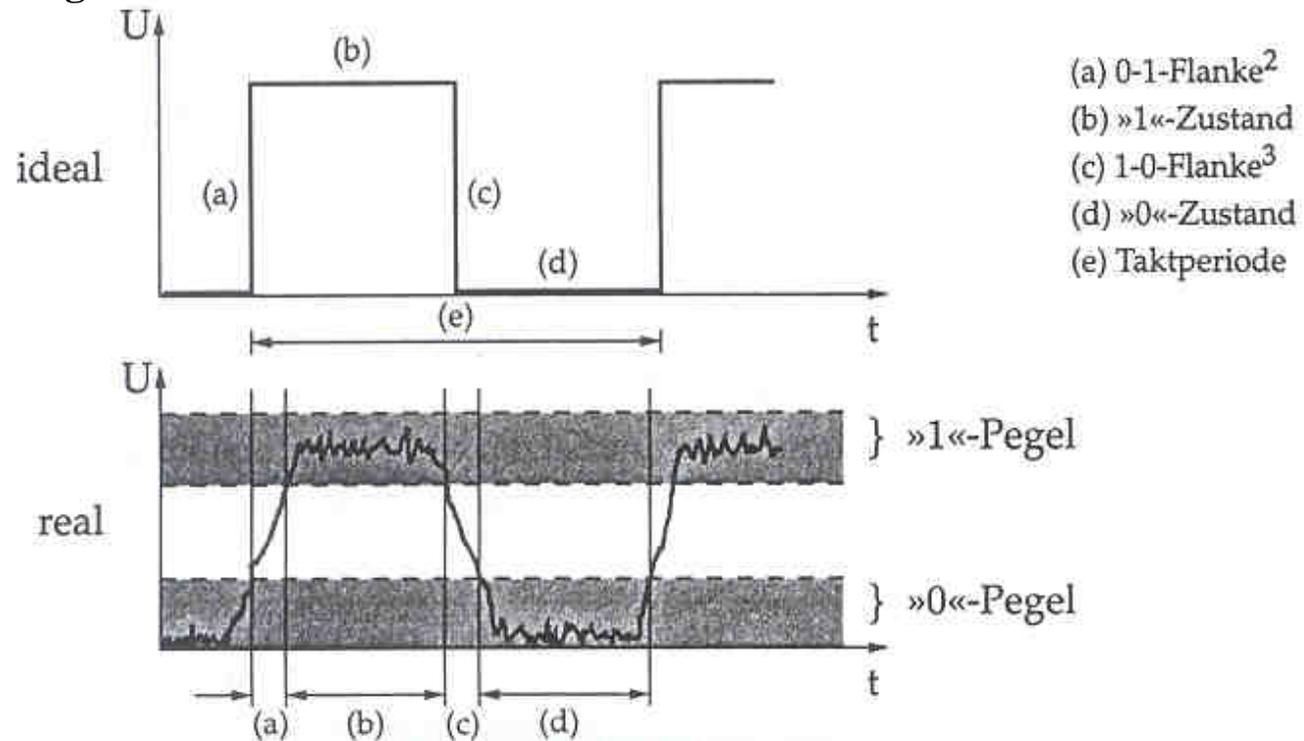


Vorteil: das Problem mit dem instabilen Zustand ist beseitigt

Nachteil: längere (verzögerte) Schaltungsdurchlaufzeit + höherer Aufwand (2 statt 1 RS- FF)

Sequentielle Schaltungen (11)

Ideales und reales Taktsignal



Auswirkungen am Ausgang:

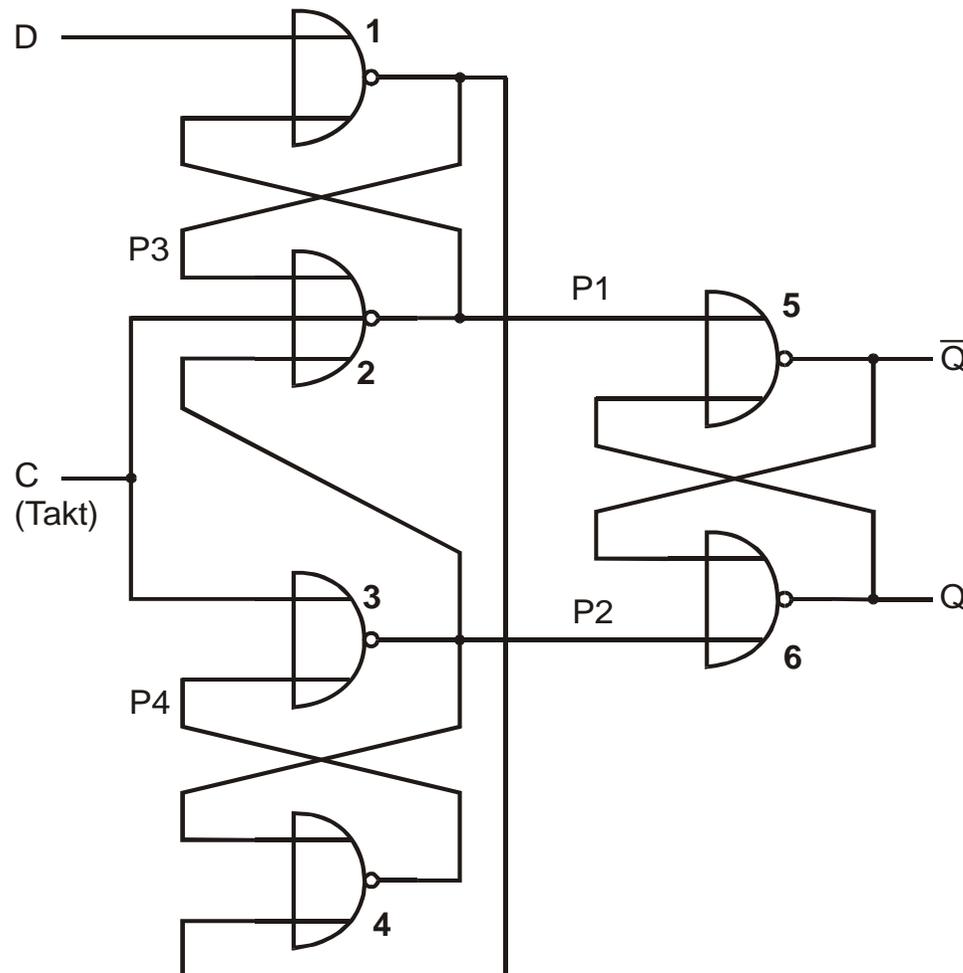
- direkt (transparent)
- verzögert (Master-Slave)

Taktung am Eingang:

- zustandsgesteuert
- flankengesteuert

Sequentielle Schaltungen (11a)

Negativ flankengesteuertes D-Flip-Flop:



Sequentielle Schaltungen (12)

Zusammenfassung "Flip-Flops":

Flip-Flops haben interne Zustände und externe Inputs

- ▲ Output abhängig auch vom internen Zustand
- ▲ Output abhängig von früheren Inputs („Vorgeschichte“)
- ▲ Flip-Flops sind Speicherelemente

Flip-Flops unterscheiden sich auf Grund ihrer

- Inputs
- Taktung

Inputs:

- RS
- D
- JK

Taktung:

am Eingang:

- taktzustandsgesteuert
- taktflankengesteuert

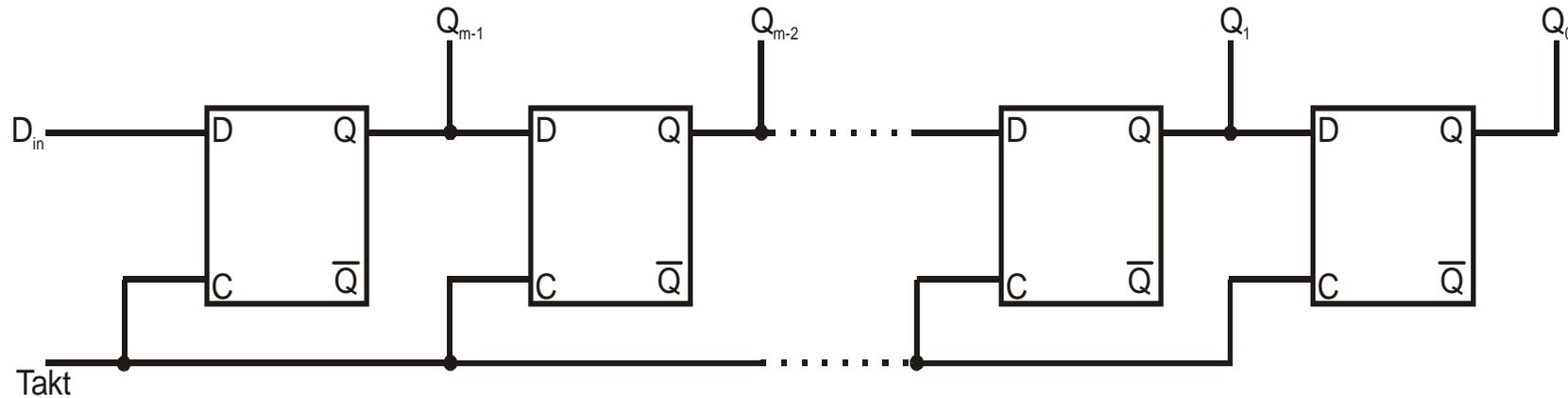
Auswirkungen am Ausgang:

- direkt
- Master-Slave

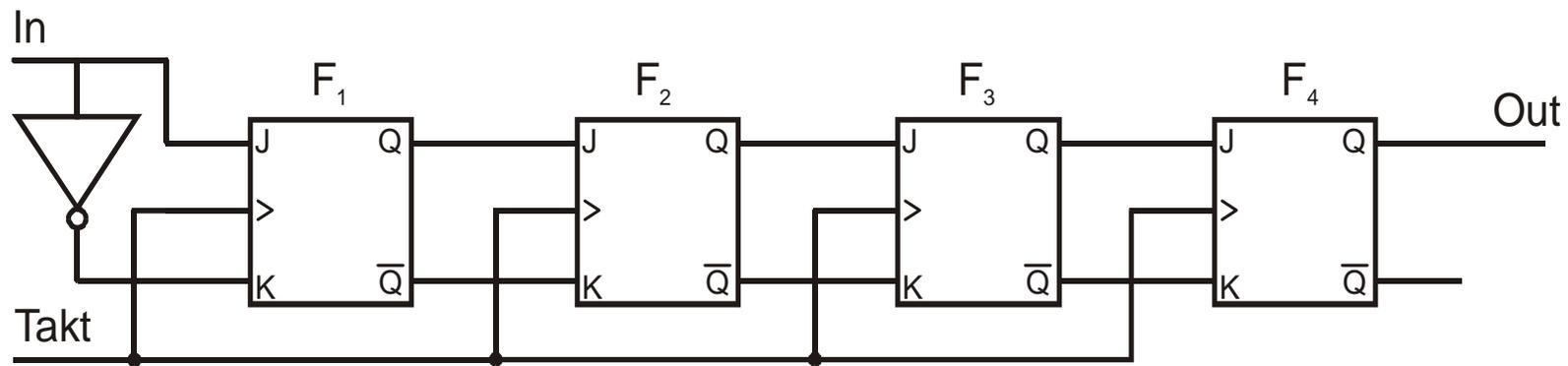
Sequentielle Schaltungen (13)

Shiftregister (Schieberegister):

- Realisierung durch D Flip-Flops:



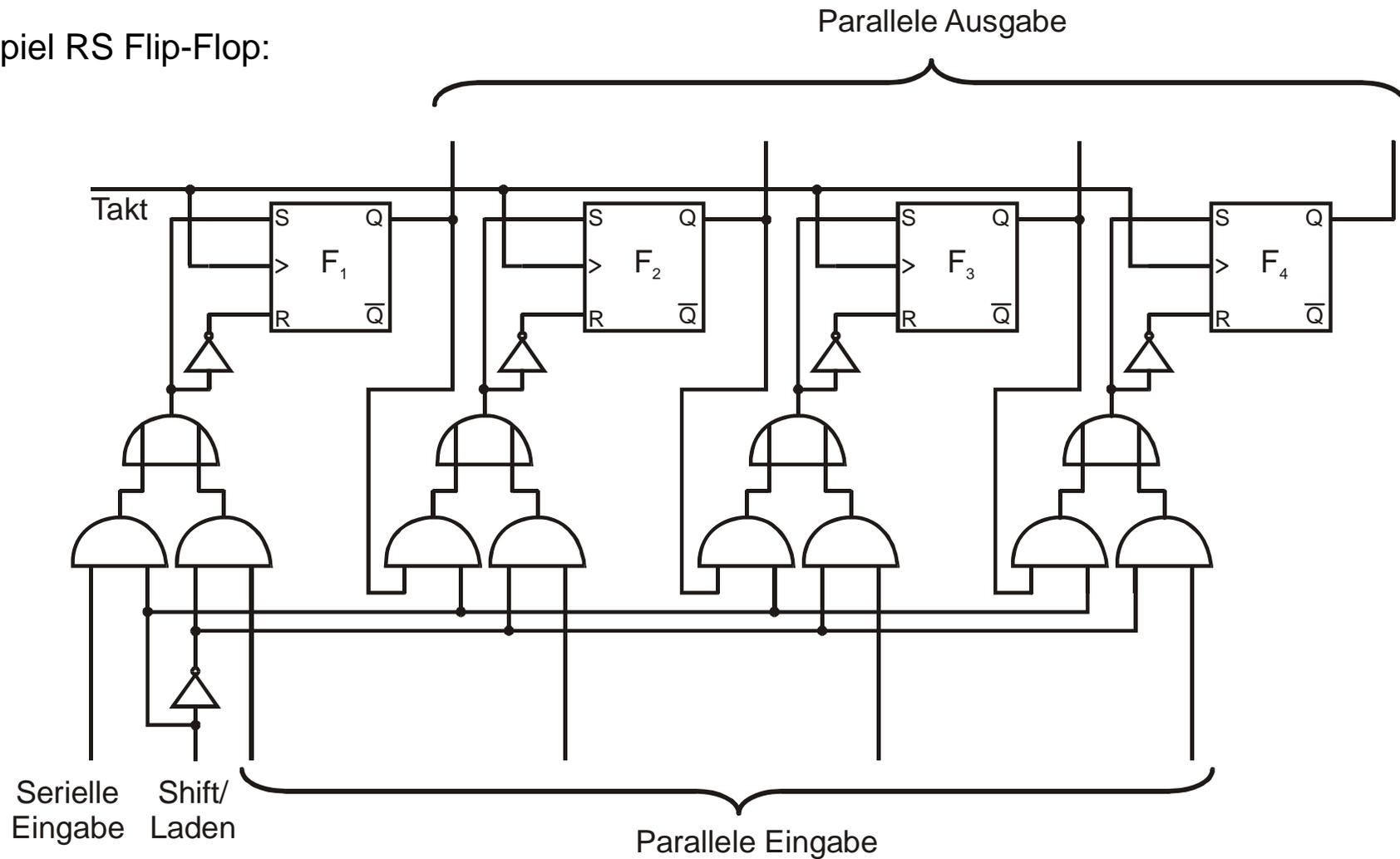
- Realisierung durch JK Flip-Flops:



Sequentielle Schaltungen (14)

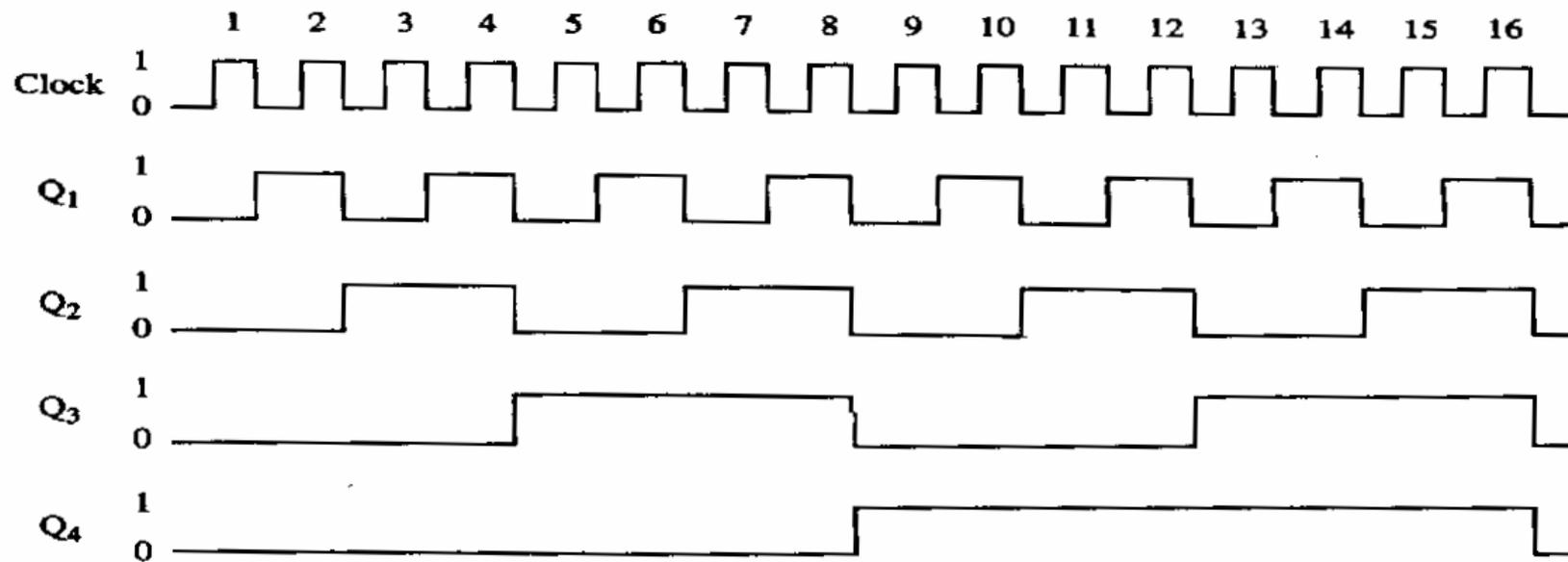
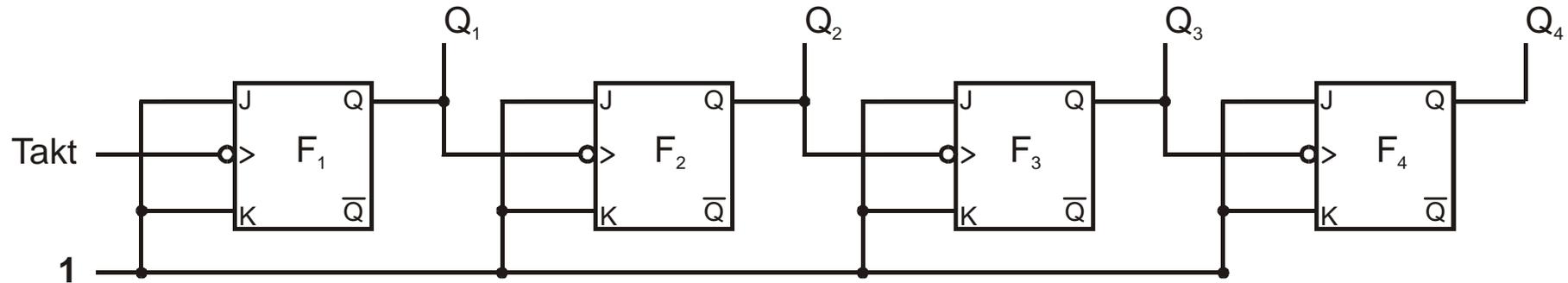
Parallelzugangs-Shiftregister (Parallel/Schieberegister):

Beispiel RS Flip-Flop:



Sequentielle Schaltungen (15)

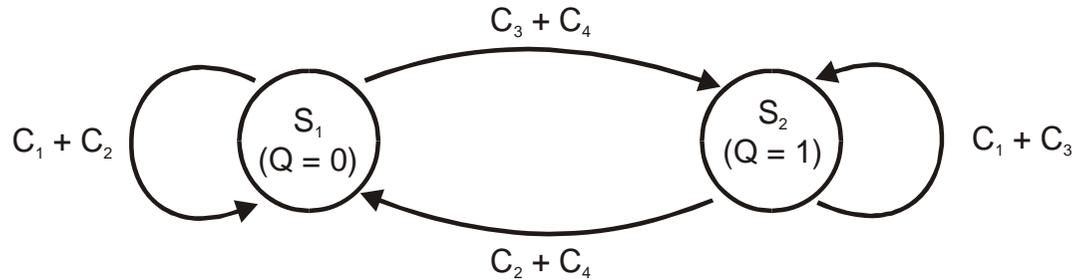
Zähler:



Sequentielle Schaltungen (16)

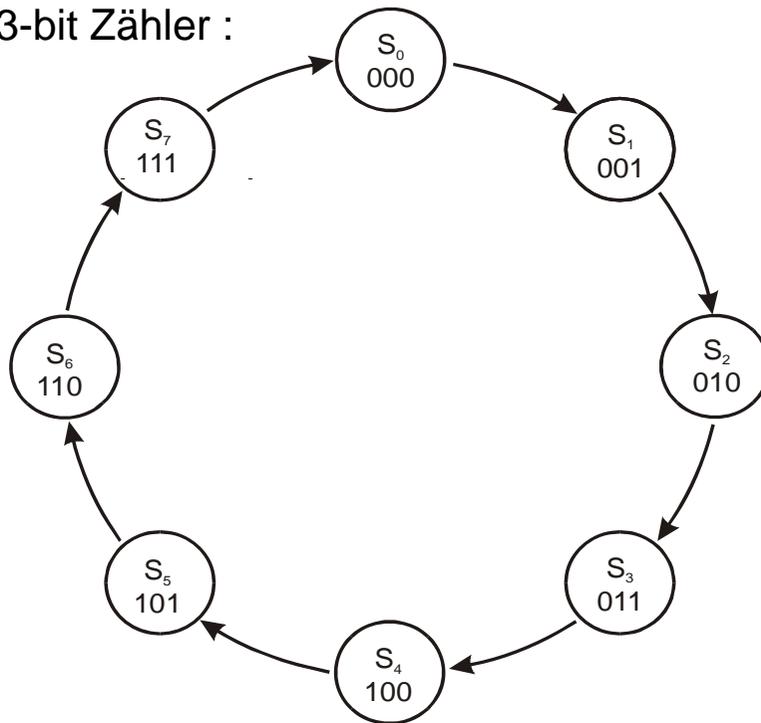
Darstellung der Funktion von sequentiellen Schaltungen durch Zustandsdiagramme:

Beispiel JK Flip-Flop:



J	K	C_i
0	0	C_1
0	1	C_2
1	0	C_3
1	1	C_4

Beispiel 3-bit Zähler :



Sequentielle Schaltungen (17)

Test von digitalen Schaltwerken

Beispiel: Test eines 1k byte - Speicherchips

- Test 1: Schreiben **eines** Testmusters in jede der 2^{10} Speicherzellen und anschließend wieder herauslesen ---> 2^{10} Tests

Stuck-at Fehler berücksichtigen:

- Test 2: Überprüfung **aller** Testmuster für jede der 2^{10} Speicherzellen ---> $2^8 \times 2^{10} = 2^{18}$ Tests

Musterabhängiger Fehler (pattern sensitivity) berücksichtigen:

(Schreiben eines Wortes in Speicherplatz X führt zu einem fehlerhaften Wort in Speicherplatz Y.)

- Test 3: Überprüfung auf musterabhängige Fehler ---> $2^{18} \times 2^{10} = 2^{28}$ Tests

Schlussfolgerung:

Vollständiger Test eines digitalen Systems mit externen Inputs und internen Zuständen ist effektiv nicht möglich

Defekt: originärer, bei der Herstellung erfolgter Fehlzustand in Hard- bzw. Software einer Komponente eines digitalen Systems

Fehler: beobachteter Effekt auf Grund eines Defekts

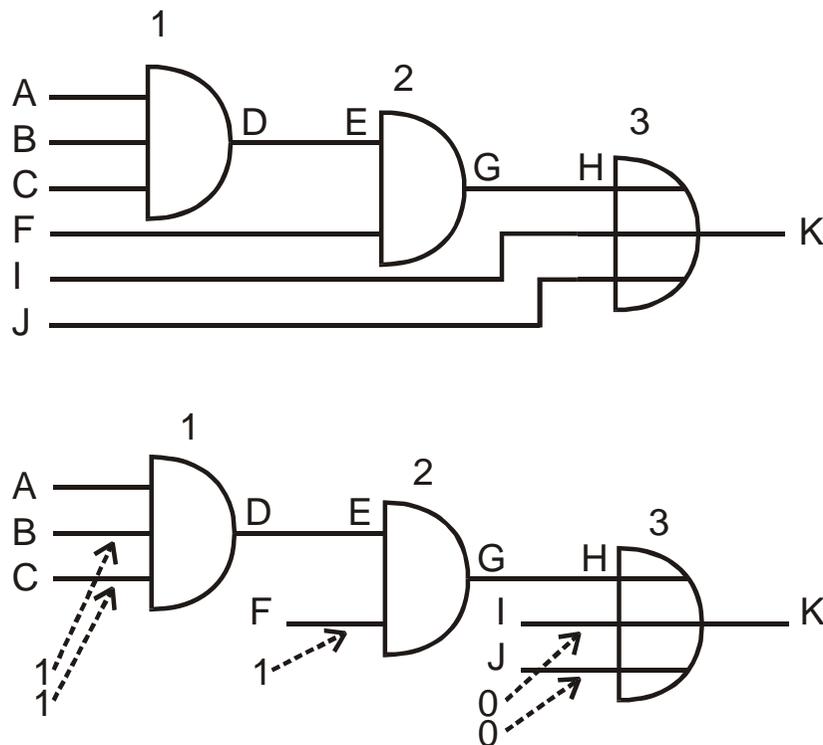
Fehlermodell: Auflistung der Fehler, die durch Tests gefunden werden sollen

Sequentielle Schaltungen (18)

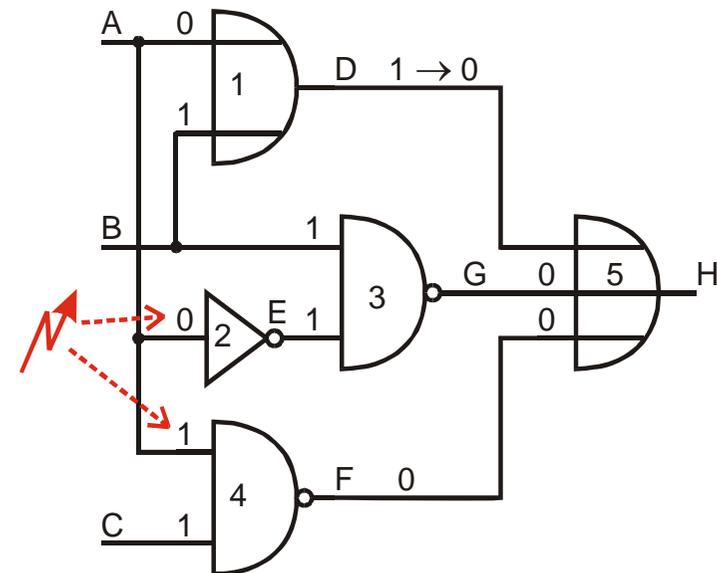
Typisches Fehlermodell für digitale Schaltkreise:

- stuck-at-one (s_a_1)
- stuck-at-zero (s_a_0)
- Überbrückungsfehler (bridging fault)

Beispiel einer Pfadsensitivierung:



Beispiel für einen nicht erkennbaren Fehler:



Sequentielle Schaltungen (19)

Zusammenfassung:

Bisher haben wir als die wichtigsten Parameter für den Schaltungsentwurf kennen gelernt:

- Geschwindigkeit
- Zuverlässigkeit

Problem war:

Die genannten Kriterien sind nicht widerspruchsfrei.

Dieses Problem wird noch verschärft durch die zusätzliche Berücksichtigung eines weiteren wichtigen Parameters:

- Testbarkeit

Hauptaufgabe beim Entwurf:

Finden eines (die Applikation) zufrieden stellenden **Trade-offs** zwischen den genannten Parametern!