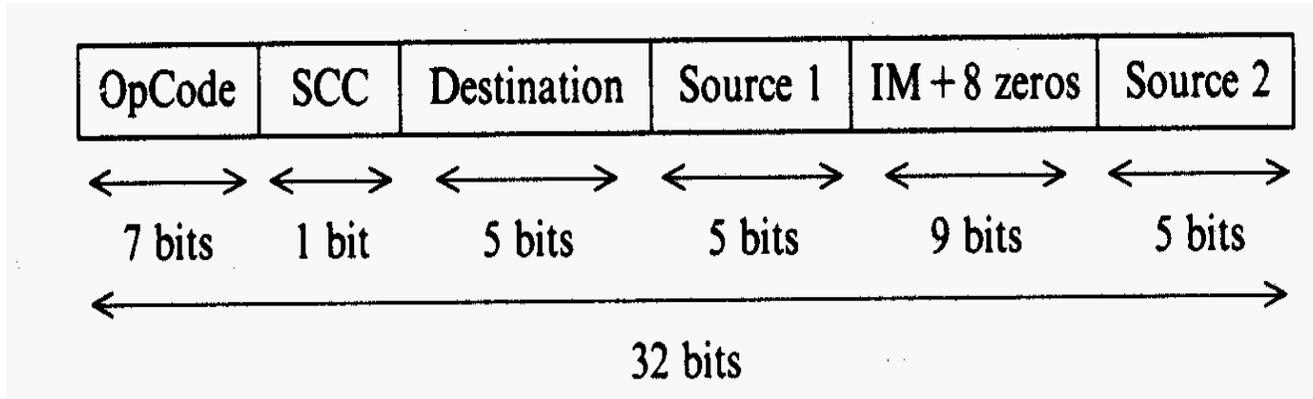
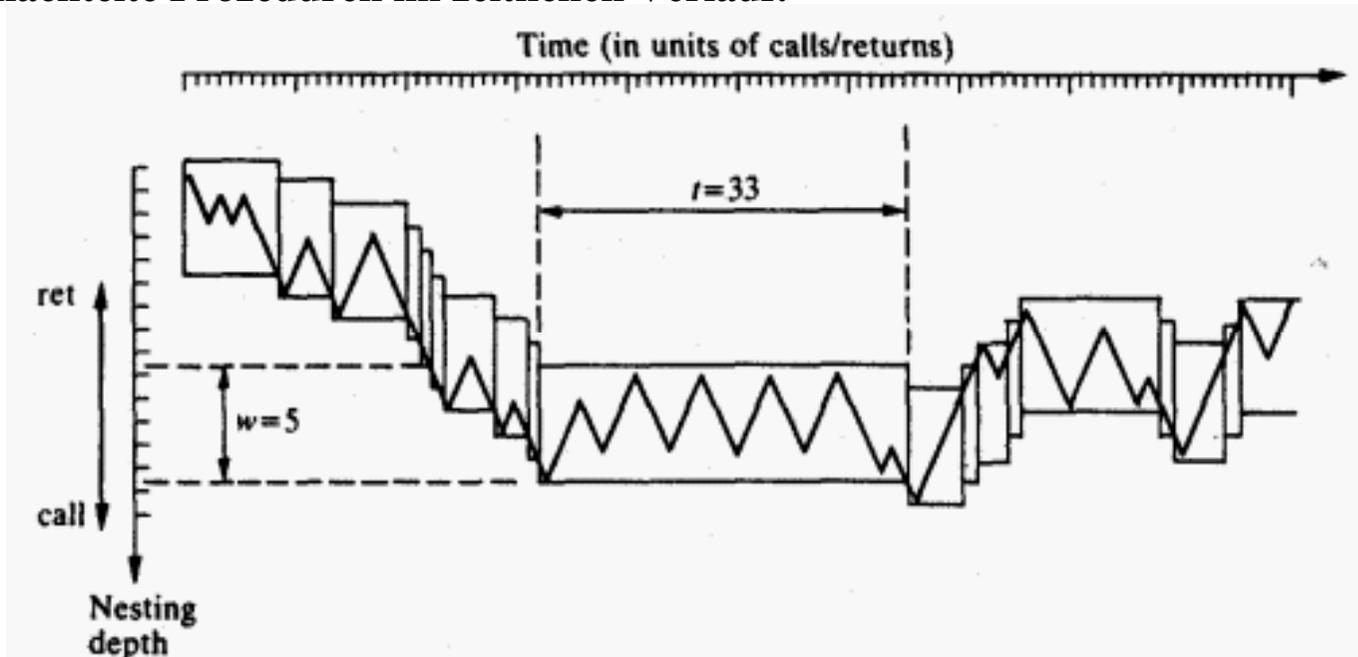


RISC-Prozessoren (4)

Das 3-Register Befehlsformat der Berkeley RISC-Architektur:

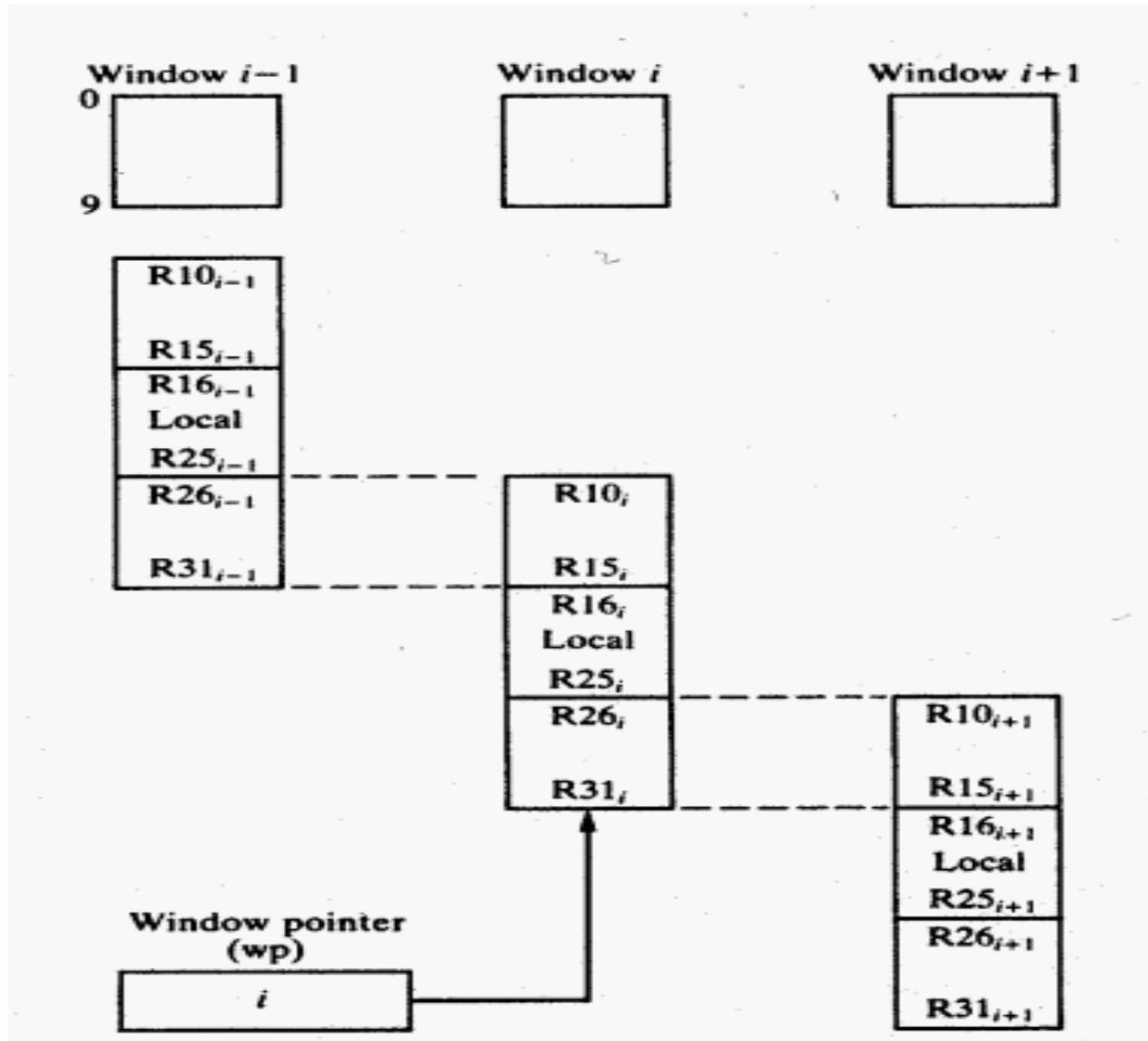


Geschachtelte Prozeduren im zeitlichen Verlauf:



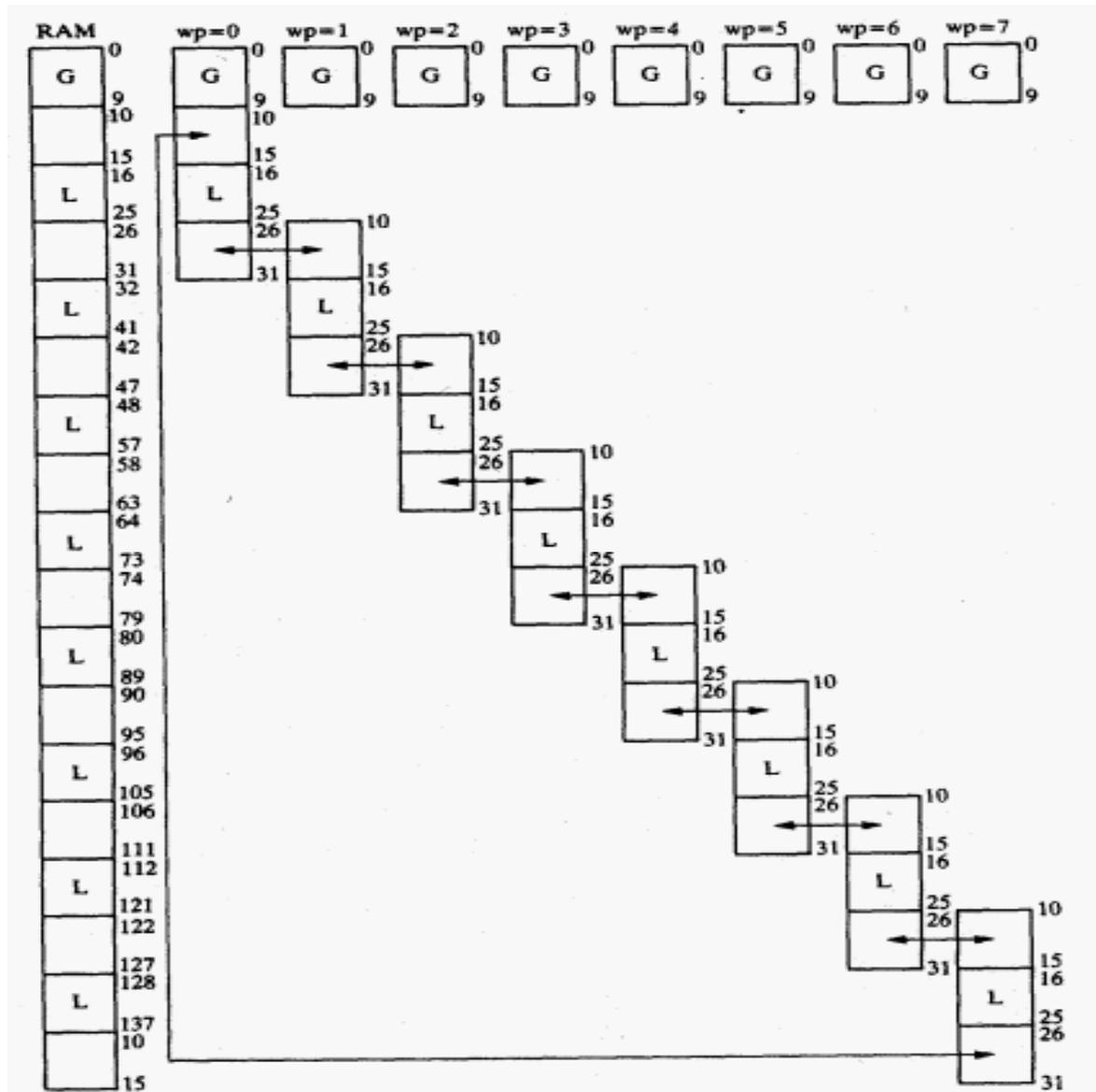
RISC-Prozessoren (5)

Konzept der überlappenden Registerfenster:



RISC-Prozessoren (6)

Detaillierte Struktur der überlappenden Registerfenster:



RISC-Prozessoren (7)

Fließbandverarbeitung (pipelining):

Ziel ist es, eine Durchsatzerhöhung der Befehlsausführung dadurch zu erreichen, dass man die Taktfrequenz, jetzt bezogen auf die Bearbeitung eines einzelnen Befehlsabschnitts (Stadium), erhöht.

Latenz:

Zeit, in der ein Befehl ausgeführt wird.

Durchsatz (Prozessorleistung):

Frequenz, mit der Befehle ausgeführt werden, gemessen in Anzahl/Sekunde (= Taktfrequenz)

Stadium:

Abschnitt der Befehlsausführung, der in einem Taktzyklus bearbeitet wird.

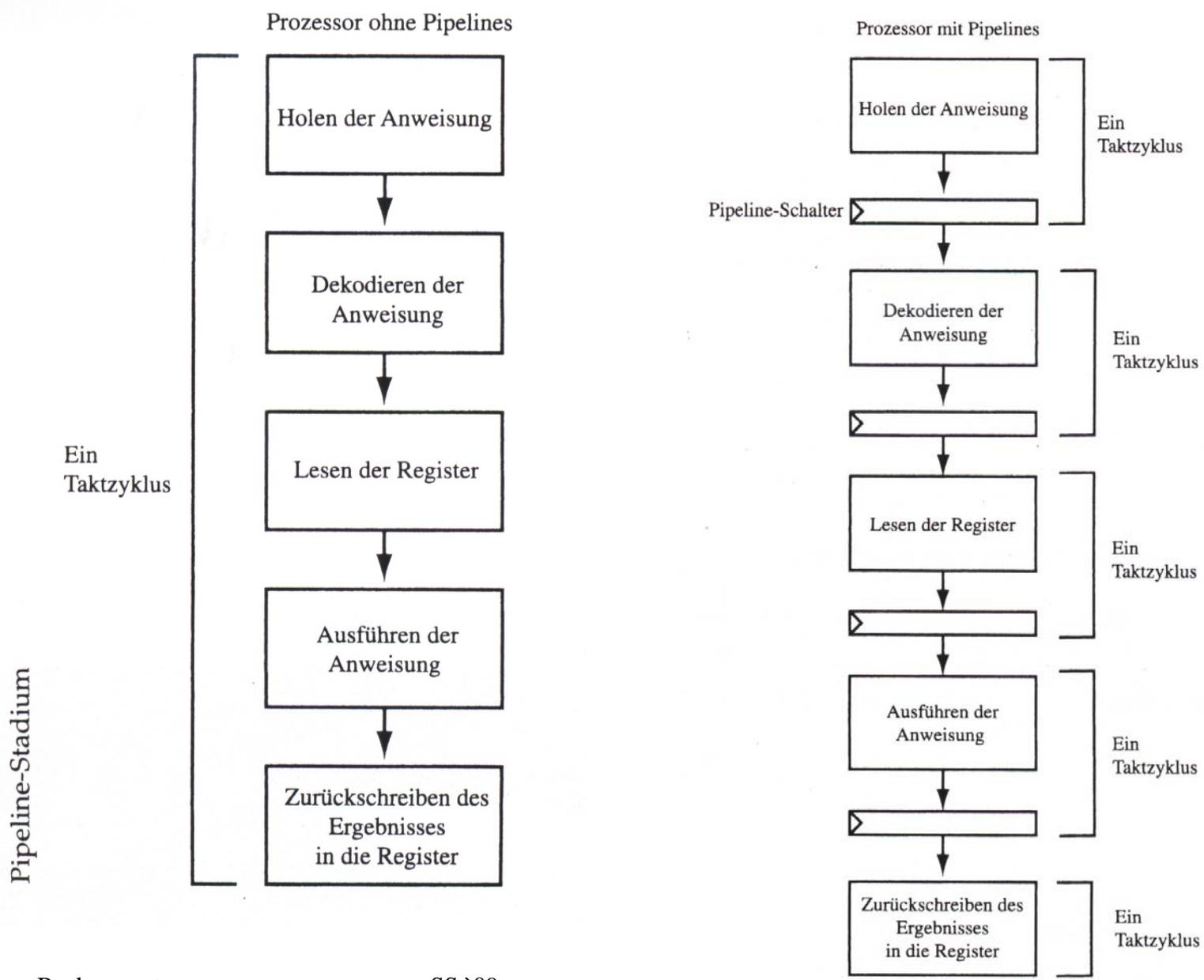
Fließbandschalter (pipeline-switch):

Schnittstelle zwischen zwei aufeinanderfolgenden Stadien einer Befehlsausführung

***n*-stufige pipeline:**

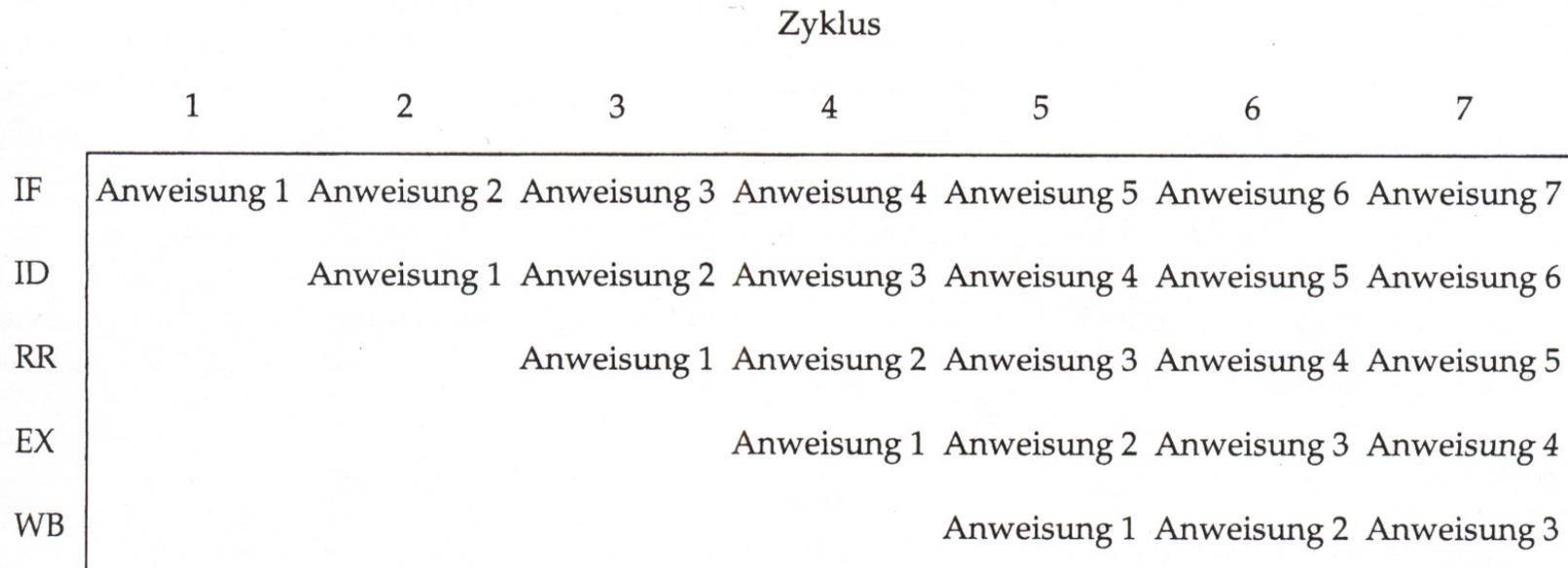
Durchlaufzeit (Latenz) der pipeline beträgt n Taktzyklen, d.h. Anzahl der Stadien ist gleich n .

RISC-Prozessoren (8)



RISC-Prozessoren (9)

Anweisungsfluss in einer solchen pipeline:



---> **überlappende Ausführung von Anweisungen möglich**

RISC-Prozessoren (10)

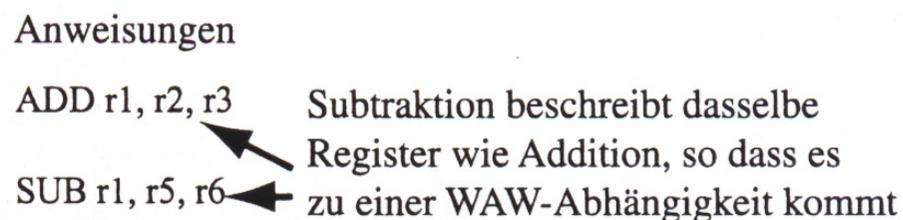
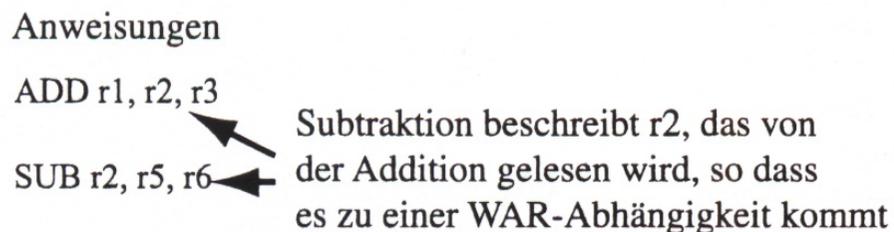
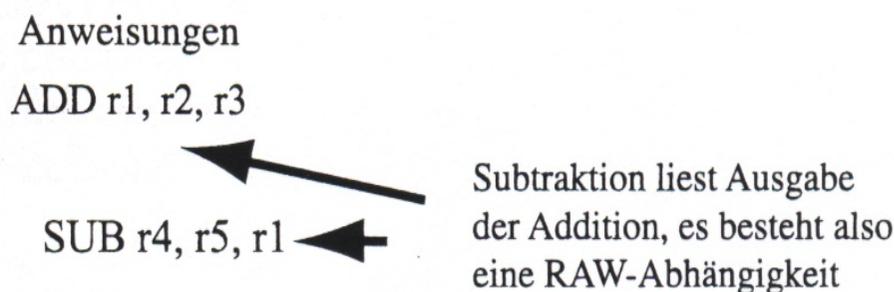
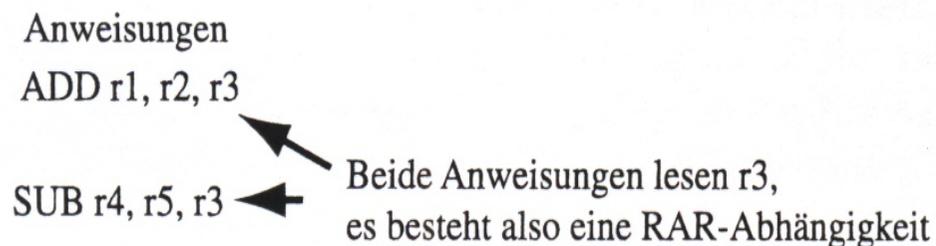
Latenz einer pipeline (Latenz eines Befehls):

Zeit, die ein einzelner Befehl zum Durchlaufen der pipeline benötigt, d.h. das Produkt aus der Anzahl der pipeline-Stadien und der Zyklusdauer (Dauer eines Taktzyklus)

Durchsatz einer pipeline (im Idealfall):

1, d.h. 1 Befehl/Taktzyklus bzw. (1 sec / Zyklusdauer) Befehle pro Sekunde

Anweisungsabhängigkeiten



RISC-Prozessoren (11)

Pipeline-Ausführung mit Verzögerung wegen RAW - Abhängigkeit:

		Zyklus							
		1	2	3	4	5	6	7	8
Pipeline- Stadium	IF	ADD r1, r2, r3	SUB r4, r5, r1						
	ID		ADD r1, r2, r3	SUB r4, r5, r1					
	RR			ADD r1, r2, r3	SUB r4, r5, r1	SUB r4, r5, r1	SUB r4, r5, r1		
	EX				ADD r1, r2, r3	(Blase)	(Blase)	SUB r4, r5, r1	
	WB					ADD r1, r2, r3	(Blase)	(Blase)	SUB r4, r5, r1

Erkennen von RAW - Abhängigkeiten (Register - Scoreboards):

Präsenzbit	Register

RISC-Prozessoren (12)

Pipeline-Ausführung mit Verzögerung wegen Sprung:

